技術資料

スパッタリング法による薄膜の導電性改善のための成膜条件の調査

長 慎一郎[*1)]

Research on Sputtering Conditions for Improving the Conductivity of Thin Films

CHO Shinichiro[*1)]

アンバランスドマグネトロンスパッタリング成膜装置を用いて電極として用いる導電性薄膜の成膜条件についての検討を行った．電極を付与する基板には熱に弱い高分子が使用されることがあり，成膜時の温度は成膜条件の中でも重要な値である．また基板に対して印加するバイアス電圧は成膜の効率化に寄与する成膜条件であるが，一方で膜質への悪影響を及ぼすことが報告されている．本研究ではこれらの成膜条件が導電性に与える影響を調査するために，成膜温度およびバイアス電圧と導電性の関係を調べた．その結果，成膜温度を高く設定することにより膜の導電性は大きく改善されるが，100 °C 以上に設定しても導電性の大きな改善は見られなくなることがわかった．またバイアス電圧の絶対値が小さい範囲においては導電性に影響を与えないが，200 V よりも高くすると導電性を悪化させることがわかった．

1. 緒言

薄膜とは一般に数 μm 以下の厚さの膜のことを指す．その薄さからそれのみで存在するということはなく，何らかの基板に対して付着させるという方法で生成される．金属や樹脂といった基板の表面に成膜することで元の基板にはない有用な特性を付与することができる．膜の材料を適切に選択することで，導電性，摺動性，抗菌性などを付与した製品を作ることができるため, 薄膜技術の用途は幅広く，半導体，機械工作，医療や食品といった様々な産業分野で利用されている．

薄膜はその用途の広さから様々な成膜法が考案されている．その一つにスパッタリング法と呼ばれる手法がある．これは乾式の成膜法の一種で他の成膜法に比べて比較的低温で成膜ができる点や基板と膜との密着性が大きい点が特徴である．スパッタリング法では成膜時の温度や電圧などの複数の成膜条件を選択することができ，それらの条件によって膜質が変化することが知られている．従って用途に応じた成膜条件を適切に選択する必要があり，そのためには成膜条件が膜質に与える影響を解明することが重要となっている．

本研究は薄膜の幅広い用途の中でも，前述したスパッタリング法の特徴である密着性の強さに注目して，使用時に振動を伴うため一般的に強い密着性が要求される圧電材料などの電極としての用途を想定し，電極として重要な値である導電性が向上するような成膜条件を調査した．また得られた膜の表面観察，構造解析を行うことで成膜条件が導電性に及ぼす影響の原因について検討を行った．

2. 実験方法

2.1 概要

本研究では成膜装置として㈱神戸製鋼所製アンバランスドマグネトロンスパッタリング成膜装置（UBMS）を用いて実験を行った．当装置は放電電源として直流（DC）電源と交流（RF）電源の二種類を搭載しており, DC スパッタ, RF スパッタの双方に対応しているが, 本研究は電極の作製を想定しておりターゲットは Ag を用いるため，一般に金属ターゲットをスパッタする際に用いられる DC 電源を放電電源として用いることとした．変化させる成膜条件としては一つ目に基板選択の際に重要な成膜温度を選択した．二つ目には基板に印加するバイアス電圧を選択した．先行研究[1)]はセラミックを材料とした透明導電膜を作製するための研究として UBMS のバイアス電圧が導電性に及ぼす影響について報告している．本研究のような金属をターゲットとした場合のバイアス電圧についての報告はなされておらず，同様の関係性が得られるのかを比較するためにバイアス電圧を変更することとした．スパッタを行うためのガスには反応性が低く, 同じく反応性の低い He や Ne に比較してスパッタ率が高く[2)] 安価な Ar を用いた．

2.2 成膜温度が導電性へ及ぼす影響

UBMS の炉内にはヒーターが存在し，成膜プロセス中の加熱はこれによって行う．成膜温度が低いと得られる薄膜は構造中に欠陥の多い膜になることが知られている[3)]．一方で温度が高いと熱に弱い材料を炉内に入れることができなくなり，膜を付与するための基板材料に制約がかかるた

[*1)] 機械・電気・材料グループ

め低温での成膜方法の検討が進められている．本研究では成膜温度をどの程度まで下げると導電性に影響が見られるかを調査するために，成膜温度と薄膜の導電性との関連性を調査した．実験を行うにあたり実験条件は表 1 のように設定した．成膜温度はヒーターを起動しない室温（以下では 20 °C とする），100 °C，200 °C，300 °C の 4 つの条件を選択した．成膜によって得られた膜の導電性を評価するために㈱三菱化学アナリテック製低抵抗測定装置による表面抵抗率測定を行った．

また導電性が変化した原因を検討するために，膜の X 線結晶構造解析と表面観察を行った．X 線結晶構造解析には㈱リガク製全自動多目的 X 線回折装置（XRD）を用い，膜の表面観察は㈱日立ハイテク製電界放出型走査電子顕微鏡（FESEM）を用いた．なお基板にはアセトンで 5 分間超音波洗浄した松浪硝子工業㈱製のスライドグラス板を適宜切断して用いた．

表 1　成膜温度変更時の成膜条件

成膜時間	5 min
ターゲットと基板の距離	24 cm
スパッタ電力	0.1 kW
バイアス電圧	300 V
導入ガス	Ar
成膜温度	20 °C ～ 300 °C
チャンバ内圧力	0.4 Pa ～ 0.5 Pa

2.3 基板に印加するバイアス電圧が導電性へ及ぼす影響

UBMS には基板側に対して負の電圧を印加するためのバイアス電源が搭載されている．Ar ガスは炉内ではプラズマ化しており，基板に負の電圧を印加することで正の電荷を持った Ar イオンを基盤に引き寄せることができるため，膜質が変化することが知られている．本研究ではバイアス電圧の変化と導電性との関連性を調査するために表 2 に示す成膜条件で成膜を行った．成膜後，低抵抗測定装置による表面抵抗率の測定と FESEM による表面観察を行った．基板やその他の条件は **2.2** と同一である．

表 2　バイアス電圧変更時の成膜条件

成膜時間	5 min
ターゲットと基板の距離	24 cm
スパッタ電力	0.1 kW
バイアス電圧	0 V ～ 1000 V
導入ガス	Ar
成膜温度	20 °C
チャンバ内圧力	0.4 Pa ～ 0.5 Pa

3. 結果および考察

3.1 成膜温度ごとの表面抵抗率測定結果

表 1 に示した条件ごとの実験結果を成膜時の設定温度[°C]と薄膜の表面抵抗率[Ω/□]の関係として図 1 に示す．最も低い抵抗値をとったのは 200 °C の条件であり，その値は 0.53 Ω/□であった．最も高い抵抗値をとったのは 20 °C の条件であり，0.87 Ω/□であった．表面抵抗の変化は 20 °C から 100 °C に変化するときが最も大きく，逆に 100 °C から 200 °C，200 °C から 300 °C の間では比較的抵抗率の変化は小さいことがわかる．以上より成膜時の温度が上昇することで薄膜の表面抵抗率は一定の温度に至るまでは大幅に低下するものの，それ以上の加熱を行ったとしても抵抗率の変化は小さくなることがわかった．

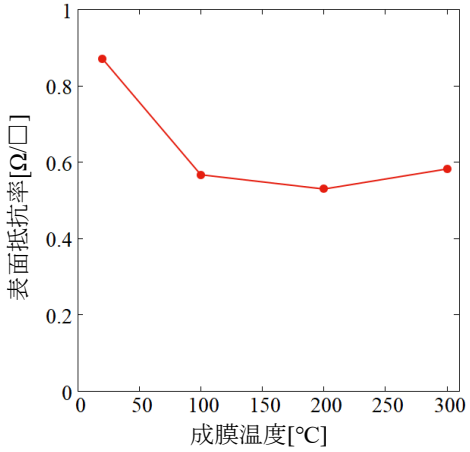

図 1　成膜温度を変化させた際の表面抵抗率

3.2 成膜温度を変化させたときの膜表面の変化

次に成膜温度の変化が膜の構造にどのような影響を与えたかを調査するために表 1 の条件で得られた膜を XRD で測定した．結果を図 2 に示す．また全ての条件で共通して最も高いピークを示している点である 2θ = 38 rad 付近でのピークの半値全幅を表 3 に示す．半値全幅は 200 °C のときが最も小さく，次に 300 °C，100 °C，20 °C の順に大きくなっていることがわかる．ここで半値全幅は式（1）の関係性を有することが知られている [4) ～ 5)]．

$$D = \frac{K\lambda}{B\cos\theta} \qquad (1)$$

D は結晶子の大きさ[nm]，B は半値全幅[rad]，λ は X 線の波長[nm]，θ はブラッグ角[rad]，K は定数である．(1) 式はシェラーの式と呼ばれ半値全幅が小さいほど結晶子が大きくなることを表している．従って成膜温度 200 °C で膜の結晶子の大きさは最大となっていると考えられる．しかし 20 °C から 100 °C での半値全幅の変化と比較して，100 °C 以上では大きな変化はないことから，100 °C 以上の加熱は結晶子の変化に大きな影響を与えないものと考えられる．

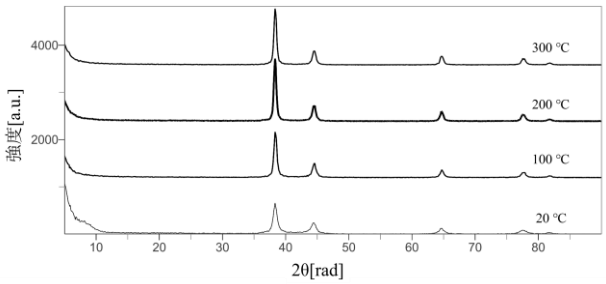

図 2　XRD 測定結果

表 3　成膜温度ごとの半値全幅

成膜温度	半値全幅
20 °C	0.70 rad
100 °C	0.52 rad
200 °C	0.43 rad
300 °C	0.46 rad

最後に表 1 の条件から得られた薄膜の表面観察を FESEM によって行った．観察した結果の二次電子像（SE 像）を図 3 に示す．倍率は全て 10 万倍である．20 °C の表面とそれ以外では見た目に大きな差があり，100 °C，200 °C，300 °C はいずれも大きな粒が目立つ同様の見た目をしているように思われる．

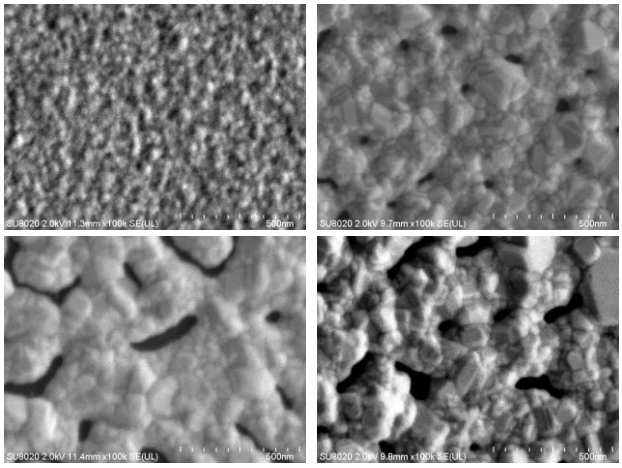

図 3　膜表面の二次電子像（10 万倍）
20 °C（左上），100 °C（右上），
200 °C（左下），300 °C（右下）

3.1 の結果を踏まえてこれらの結果についてまとめると，表面抵抗率と結晶子の大きさの双方が 100 °C までの加熱では大きな変化を示したのに対し，それ以上の加熱では比較的小さな変化しか示さないという相関関係を持つことがわかった．このことから表面抵抗率は結晶子の大きさにより変化するものと考えられる．そして表面抵抗率を小さくするためには結晶子を大きくすれば良いと思われる．結晶子を大きくするには成膜中の加熱が有効であるが，ある値以上の温度になると加熱による結晶子増大の効果は薄くなる．この温度を T_L と表すこととする．このような温度が存在する原因はスパッタされた原子が結晶化する過程にあると思われる．すなわち原子が基板上を動いて整列するためにはある値以上のエネルギーを有していればよいため，それ以上のエネルギーを与えたとしても結晶の成長に大きな影響を与えることはないことが原因と推測される．従って T_L はターゲットと基板ごとに固有の値を持つと推測される．そして成膜温度を T_L 付近とすることが最も効率の良い成膜条件であると考えられるから，成膜を行う前に用いるターゲットと基板の種類ごとにあらかじめ T_L を調査することにより，導電性の良い膜を得られることがわかる．

3.3　バイアス電圧ごとの表面抵抗率測定および表面観察の結果

表 2 に示した条件ごとの実験結果を成膜時のバイアス電圧[V]と薄膜の表面抵抗率[Ω/□]の関係として図 4 に示す．バイアス電圧が 0 V から 200 V 付近では表面抵抗率に大きな変化は見られず，およそ 0.4 Ω/□ ～ 0.6 Ω/□の値をとることがわかった．しかしそれよりバイアス電圧を高くすると表面抵抗率が大きく上昇する．先に述べた先行研究のセラミックをスパッタした結果では 250 V 付近で表面抵抗率は最も低くなると報告されており，金属もセラミックと同様にバイアス電圧を 300 V よりも高くすると表面抵抗率は大幅に上昇することがわかる．

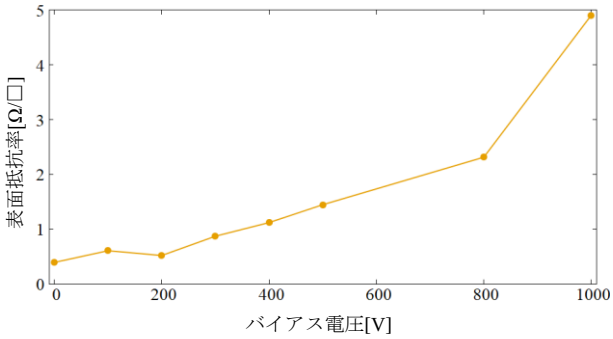

図 4　バイアス電圧を変化させた際の表面抵抗率

次にバイアス電圧を 0 V にして得られた膜と 1000 V にして得られた膜の表面状態を比較するために，FESEM を用いて観察を行った．これにより得られた二次電子像（SE 像）を図 5 に示す．倍率はともに 10 万倍である．0 V の場合の膜の表面は 1000 V のものと比べて隙間が少なく密になっているように見える．一方で 1000 V の膜は全体として穴が目立っているように見える．以上より表面の疎密によって表面抵抗率が変化したことがわかる．これはバイアス電圧が高いと Ar イオンを強く基板に引き寄せすぎてしまい，

膜の表面を傷つけることが原因であると考えられる．これにより膜表面は隙間の多い構造となり，結果として表面抵抗率は上昇したものと思われる．UBMS は通常のマグネトロンスパッタリング装置とは異なり，基板付近にまで磁場が伸びるように設計されており，基板付近に多くの荷電粒子が存在するためバイアス電圧の影響も通常のマグネトロンスパッタリング法よりも大きくなっているのではないかと予想される．

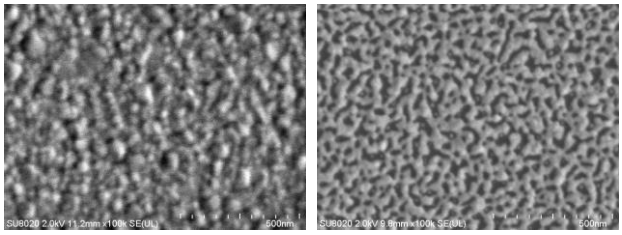

図 5　バイアス電圧 0 V（左）と 1000 V（右）での表面の二次電子像（10 万倍）

4. 結言

UBMS を用いて成膜温度とバイアス電圧を変化させてガラス上に Ag 薄膜の成膜を行った．得られた膜の導電性を評価するために表面抵抗率測定を行った．またその原因を検討するために X 線結晶構造解析，表面観察を行った．それらの結果から以下のようなことがわかった．

(1) 成膜温度を上昇させることで膜の表面抵抗率は低下するが，ある温度（T_L）以上の加熱を行っても抵抗率を低下させる効果は薄いことがわかった．
(2) XRD の結果から表面抵抗率の変化は熱により結晶子の大きさが変化したことに起因すると思われる．
(3) 成膜温度による結晶子の増大は，原子が基板表面を運動して結晶化するためにエネルギーが必要であることに起因すると考えられるから，T_L の値は基板やターゲットの種類ごとに特有であると思われる．
(4) バイアス電圧は高く設定しすぎることで Ar イオンを基板に強く引き寄せすぎてしまい，膜の表面を傷付けるため，結果として導電性が悪化するものと推測される．

本研究で使用した低抵抗測定装置，電界放出型走査電子顕微鏡，全自動多目的 X 線回折装置は，公益財団法人 JKA の「機械振興補助事業」により導入，設置した．また，アンバランスドマグネトロンスパッタリング成膜装置は，独立行政法人科学技術振興機構の「地域産学官 共同研究拠点整備事業」により導入，設置した．

参考文献

1） 高橋幸嗣，“透明導電膜に関する調査研究”，奈良県産業振興総合センター研究報告，No44，p. 21-23，2018
2） 麻蒔立男，“薄膜作製の基礎 第 4 版”，p. 198，日刊工業新聞社，2005
3） 清水秀己，栗生裕輝，”高周波マグネトロンスパッタリングによる ZnO 薄膜の作製における基板温度の効果”，愛知教育大学研究報告．芸術・保健体育・家政・科学技術・創作編，63 巻，p. 33-41，2014
4） 加藤裕和，“X 線回折を用いた結晶子サイズの評価について”，あいち産業科学技術総合センターニュース，No. 220，p. 4，2020
5） B.D.Cullity，松村源太郎（訳），”カリティ新版 X 線回折要論”，p. 258，株式会社アグネ，1991