

HDLを用いた回路設計自動化に関する研究

Study of Easy circuit design using HDL

木田裕之*¹⁾

Hiroyuki KIDA

LSIなど論理回路の設計にHDL（ハードウェア記述言語）が利用され大規模な回路が簡単に設計できるようになった。また、その回路はFPGA（Field Programmable Gate Array）に実装し動作させることが容易であることから、開発のスピードが格段に高速化された。さらに、HDLで記述した回路は目的のデバイス情報を変更し処理することでASIC（特定用途向けLSI）の製造が可能である。日常生活に目を向けるとADSLやFTTHなどの高速通信回線の利用料が急激に低下し、家庭でのインターネット利用率が非常に勢いで増加している。そこで、本研究ではHDLを用いた電子回路開発手法の普及を目的にホームオートメーションに利用可能なLANを用いた遠隔制御用デバイスの開発を行った。

1. はじめに

ここ数年言われ続けていることであるが、半導体製造技術は著しい進歩を遂げている。そして、いまだとどまる様子は見あたらない。今まで論理回路を設計する手法は回路図の記述による設計が主であったが、LSI製造技術の向上に伴い集積度が指数的に増加しているなか旧来の手法では回路規模に追従できず開発が不可能となってきた。そこで開発効率を上げるためプログラム様の論理記述で回路が合成（生成）できるハードウェア記述言語（HDL）が利用されるようになり高度な機能を持つLSIを短期間に開発できるようになった。また、FPGAと呼ばれる回路構成を自由に変更できるデバイスが普及し、FPGAだけで500万ゲート以上の回路を実装できるようになった。HDLで開発した回路を製品上に実装した汎用のFPGAに書き込みすることが可能になり、回路の修正や追加が迅速に行え製品開発期間がますます短縮されるようになった。

世の中ではIT革命と言われ情報化の波が押し寄せてきている。数年前からインターネットがブームとなり、昨今、携帯電話の普及やADSL、FTTHなどの高速通信回線の低価格化でインターネット利用者数は爆発的に増加した。一般家庭においてもLANを利用している割合は非常に多くなってきている。そこで、家庭電化製品をインターネットを通じて携帯電話などから制御、状態確認を行うためホームオートメーションに利用可能なLAN通信遠隔制御デバイスの開発を試みた。本デバイスはイーサネットに直接接続して通信を行うものとし、その機能をHDLで設計しFPGAに回路を実装した。

2. 制御回路試作

2.1 HDL（ハードウェア記述言語）

ハードウェア記述言語はVHDLとVerilog-HDLの2種類が主に使用されている。VHDLは米国国防総省VHSICプロジェクトによって規格化され、国防総省に納品するASICにはVHDLのソースを添付することが義務づけられた。これによるメリットは設計完了時点での最新LSI製造プロセスを用いて目的のASICを製造できることにある。また、Verilog-HDLはC言語を基にASIC設計に適した記述ができるようゲートウェイ・デザイン・オートメーション社が独自に開発した言語であるが、仕様が公開され自由に使用できるようになったことから普及した。現在はどちらもIEEEによって標準化されている。本研究ではVHDLを用いた。

- VHDL… IEEE1076(1987)
- VerilogHDL… IEEE1364(1995)

(1) HDLによる開発手順

HDLを用いた開発の利点は、最新の半導体製造技術を利用でき、従来カルノー図等の手法を用いて回路の縮小を行っていたものが不要となり設計期間短縮がはかれ、一度設計した回路が簡単に再利用できるなど設計資産の活用がはかれることである。

HDLによる開発の流れをFig.1に示す。

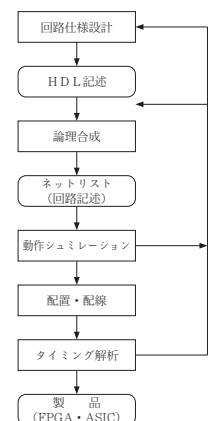


Fig.1 HDL Design Flow

*¹⁾システム技術チーム（現在、電子・情報・デザイン技術チーム）

最初に回路の仕様を決定し、それを満たすようHDLで記述する。そのソースファイルをコンパイルしネットリストと呼ばれるゲートレベルの回路図を合成する。次にシミュレータを用いてその合成された回路が仕様通り動作しているか検証を行う。必要があればHDL記述もしくは仕様設計に戻り修正を行う。続いて目的とするASICやFPGAなどのデバイスに適した規則を用いて入出力ピンの位置やデバイス内でのゲートの配置、配線を行い、その結果得られる遅延情報を基にタイミング解析を行う。ここでもう一度仕様と照らし合わせ判断を行う。試作回路ではFPGAをターゲットにこういった順序で開発を行った。

(2) VHDL記述例

VHDLでの順序回路の記述例を以下に示す。この例は動作記述部分だけであり、実際にはライブラリの宣言と入出力信号の宣言が必要となる。回路のひとまとまりの機能はprocessのbegin,endでくくり、括弧には出力結果を即時に変化させる入力信号を記述する。この例の動作としてはreset信号が0の時は常にQには0を出力し、それ以外の時はCLKの立ち上がりに同期してQとAの論理積をとってQに出力するという回路である。

```
process (CLK,RESET) begin
    if(RESET = '0') then
        Q <= '0';
    elsif(CLK'event and CLK ='1') then
        Q <= A and Q;
    end if;
end process;
```

Fig.2 HDL source program

合成結果、次のような回路が出力される。

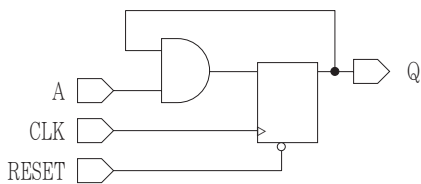


Fig.3 compiled circuit

2.2 F P G A (Field Programmable Gate Array)

FPGAとは回路の書き換えが可能なLSI (大規模集積回路) であり、製造メーカーにより様々な工夫がされていて特殊機能を持つものも多いが一般的にはFig.2のような構成をしている。基本的にセルと呼ばれる機能ブロックが格子状に並んでおりその間を配線が通っている。一例であるがセルは、4本の入力と1本の出力を持ちLUT(Look Up Table)の値を参照して入力に対応した値を出力する。LUTは4本の入力状態の組み合わせである16通りの状態に対応した16個のメモリを持ちその値を出力に返す。出力にはフリップフロップが接続されており必要に応じて使用される。また、配線の交差部分にはそれぞれの線間にMOS-ト

ランジスタのON,OFFを制御するメモリを持ったスイッチが接続され、それぞれの線間で自由に接続可能となっている。FPGAをプログラムするには、それぞれのLUTとスイッチマトリックスを制御するメモリに出力・配線データを書き込むことで行える。これらの仕組みにより、自由な回路が実現できる。制御メモリの種類の違いによりSRAM型とEEPROM型等があり、RAM、PLLなどの機能を内蔵しているものもある。また、IPと呼ばれる設計資産が数多く用意されておりCPU、DSP、演算、フィルタ、通信などの機能が利用できる。

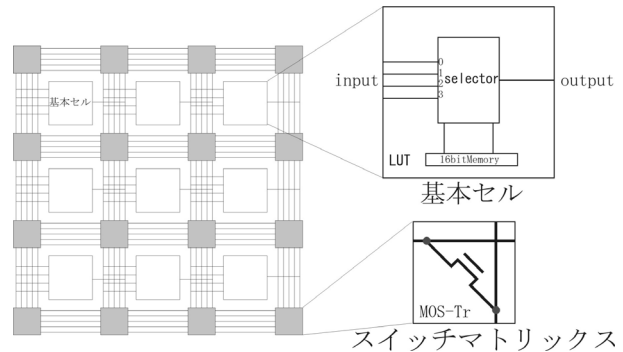


Fig.4 FPGA Architecture

3. 試作回路LAN仕様

3.1 Ethernet

イーサネットはLANの接続方式として現在、最も多く使用されているものである。同軸ケーブルを用いる10base-5、10base-2とツイストペアケーブルを用いる10base-Tなどの種類があり、これらの規格は通信速度が10Mbpsである。10base-Tと同様の方式で100Mbps化した100base-TXが現在の主流である。これらは全てISO/IEC 8802-3 (IEEE802.3) として規格化されている。

(1) フレーム構造

ネットワークを通してデータを送信する場合、データの塊をパケットと言い、イーサネット上を流れるデータをフレームと呼んでいる。フレームの構造は以下の通りでイーサネットにはオクテット (通信関連規格用語：8bit) 順に下位bitから送出される。

- プリアンブル (7)
 - クロック同期のため0と1が交互に7オクテット連続
- フレーム開始 (1)
 - フレームの開始を示すための11010101のパターン
- 送信先・送信元アドレス (6, 6)
 - MACアドレスと呼ばれる48bitの個々唯一の値
- データ長 (2)
 - データ領域に格納されているデータの長さ
- データ領域 (46~1500)
 - 上位層から受け取ったデータ、46オクテット以下の場合
 - はPADと呼ばれるデータを埋める

・フレームチェック (4)

送信先アドレスからデータ領域までのCRCチェック値、この値だけは上位bitから32bit連続で送出される。

(2) CSMA/CD

イーサネットの中心的技術であるCSMA/CD (Carrier Sense Multiple Access with Collision Detection) とは、ネットワークが使用されていないか常に検出し、未使用であれば特定の時間を待ってデータを送出する。また、送信中に衝突を検出した場合32bit分ジャムパターンに切り替え終了し、アルゴリズムに沿った待ち時間を経てもう一度送信を開始するものである。この機能によりイーサネットの通信システムは成り立っている。

(3) 10base-Tの電気特性

10base-Tでは通信ケーブルに2組のツイストペアケーブルを用い、その特性インピーダンスは100Ωであり、送出する信号は最大値2.2~2.8Vの作動電圧である。正確にはより線対の疑似回路網を通した出力電圧がテンプレートにより規格として示されている。さらに立ち上がり・立ち下がりタイミング、ジッタ等にも細かい規定がある。(詳しくは規格を参照) また、送出する信号はマンチェスタ符号化されている。これは1ビット周期(10MHz)の半周期でデータの値を反転するものであり、1を送信する場合、前半0、後半1となる信号である。

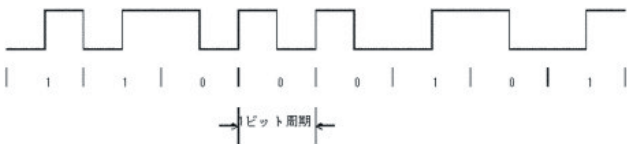


Fig.5 Manchester coding

10base-T特有の機能として16±8ms間隔でリンクパルスを送出しその信号を受けることによりリンクが確立したことを判定する機能を有する。この機能を拡張し100base-TXと自動切り替えの判定が可能となっている。

3.2 TCP/IP

ネットワークの通信規約をプロトコルと言いISO (国際標準化機構) では機能的に7つの部分に階層化しOSI参照モデルとして規定している。インターネットを代表とする事実上標準となるトランスポート層、ネットワーク層のプロトコルがTCP/IPである。各層では上位層から来たデータにその層で必要となる識別データや誤り訂正符号などのヘッダを付け下位層に渡す。また、下位層から来たデータはヘッダを確認し誤りがあった場合、再送要求もしくは破棄などの処理を行い有効なデータであれば上位層へ渡す。それぞれの層は機能的に独立しており上位層は下位層にどのようなプロトコルを使用しているか知る必要はない。イーサネットは物理層、データリンク層に属する。

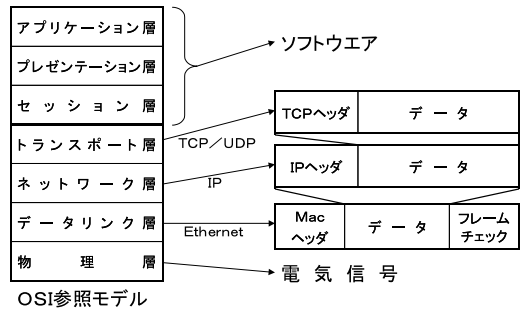


Fig.6 OSI 7 layer Reference Model

(1) IP (Internet Protocol)

IPはネットワーク層のプロトコルで送信ホストから、目的のホストにデータ転送を実現するものである。この機能としてIPアドレスと呼ばれるホストに唯一の32bitの番号を使用しデータを転送していくネットワーク上の経路を選択する機能と、ネットワークによりデータサイズの最大値が規定されているため分割等のサイズ調整を行うフラグメント機能を有する。

(2) TCP・UDP

TCP/UDPはトランスポート層に属するプロトコルでホスト同士のアプリケーション間にデータを受け渡す機能を持つ。相手ホストとの交渉を行い送受信の通信路を確立するTCPと、データを送出した後は確認しないUDPとがある。UDPはヘッダが簡素なため高速であるが信頼性に欠ける。また、TCPはデータ順序の並べ替えや、誤り訂正・再送の機能を持ち信頼性が高いと言った特徴を持つ。

4. 通信実験結果

4.1 Z80 Ethernetボード

イーサネット及びTCP/IPの仕様を検証するため、DOS/VパソコンISAバス仕様の標準的なNE2000互換ネットワークカードを用い、汎用の8bitCPUであるZ80を使用した1ボードマイコンでのネットワーク通信実験を行った。

その結果、プログラムによりイーサネットのデータリンク層及びTCP/IPの機能を実装しLANを通してWindows端末よりボード上のLEDの点灯、ディップスイッチの状態を確認することができた。なお、データリンク層ではIPアドレスからそのアドレスを保有するホストのMACアドレスを検索するためARPと呼ばれるプロトコルを使用し、ネットワークに接続されている全てのホストに対して(ブロードキャスト) 問い合わせを行う。その結果一致するIPアドレスを持つホストが自分のMACアドレスをARP応答パケットに挿入し返送する。この仕組みを利用してIPアドレスとMACアドレスの対応関係を得ることができる。簡単なハードウェア構成であってもTCP/IPを実装することができ、Windows, Linux等搭載の汎用のパソコンからネットワークを通して離れたところにある機器の制御

が簡単にでき、場合によっては携帯電話などのモバイル機器からも利用が可能である。

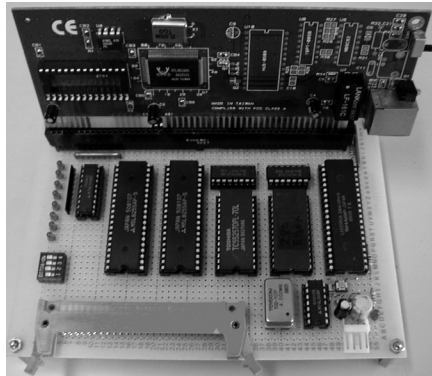


Fig.7 Z80Ethernet board

4.2 LAN遠隔制御デバイス

家電製品のホームオートメーションに対応できる組込制御用のデバイスとして直接LANに接続しネットワーク越しに機器の制御が行えるよう、LANインターフェース機能をFPGAに組み込み実験を行った。先ほど述べたようにイーサネットの信号は $\pm 2.5V$ 程度の差動電圧であり、直接FPGAに入力ができないため外付けの信号変換回路が必要となる。本実験では正側の電圧と負側の電圧をTTLレベルまで増幅しFPGAの入力とした。デバイスの性能から動作クロックはイーサネットの信号(10MHz)の2倍である20MHzとし、水晶発振器を用いて信号とは非同期で入力した。そのため信号とクロックの変化点が重なったときデータが正常に読むことができず、クロックのディレイを制御することで対処した。しかし、この方法では数分の1の割合でデータを取りこぼすなど不正確であるため実際にはPLL回路を用いて信号に同期をとるか4倍程度のクロックでサンプリングを行う必要がある。

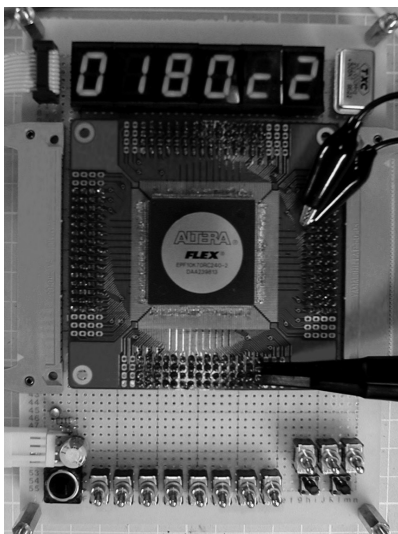


Fig.8 Ethernet Control FPGA Device

実験の結果、実際にLANに接続し通信することを確認した。FPGA基板の上部表示器には取得したイーサネットフレームの宛先MACアドレスの一部を示している。また、

Fig.9の波形1は10base-Tの元波形を示し、整形回路の出力を2、フレーム開始信号を認識し送信先MACアドレスの入力を開始するトリガー信号を3に示す。

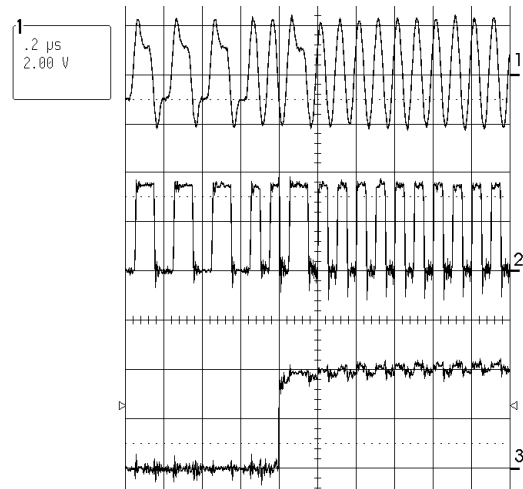


Fig.9 10base-T controlled waveform

このことにより、さらに上位層にあたるon,off程度の簡単なアプリケーションを実装することによりFPGAだけで遠隔発停ができ、Z80やPICマイコン等を併用しWeb用のHTTPサーバを実装することでブラウザを用いての制御も可能である。

5. まとめ

各家庭においてインターネットがテレビのようにインフラとして定着し利用される時代が目前に迫り、LANを用いたホームオートメーションを可能とするため、専用デバイスの開発を行った。HDLを使用することにより簡単に開発が行え、回路をFPGAに実装することによりネットワークに接続し通信をできることを確認した。

参考文献

- 1) ISO/IEC8802-3, 1996 Edition
- 2) 長谷川裕恭, VHDLによるハードウェア設計入門, CQ出版(株), 1995
- 3) 桜井至, HDL設計入門, (株)テクノプレス, 1996
- 4) 吉田茂樹, TCP/IP入門, (株)翔泳社, 2001
- 5) イーサネットのハードウェア, トランジスタ技術 1996.7 pp239-320, CQ出版(株)
- 6) インターネット時代のハード制御, トランジスタ技術 1999.7 pp193-272, CQ出版(株)
- 7) 泉谷建司, Ethernet, (株)ソフト・リサーチ・センター, 1997
- 8) Robert Breyer, Sean Riley, アイデアコラボレーションズ, 森島晃年訳, 100BASE Ethernetの理論と実装, (株)アスキー 1998